

DERWENT-ACC-NO: 1999-606777

DERWENT-WEEK: 200214

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: High dielectric capacitor manufacturing method -  
involves forming reaction prevention film spacer on  
double sided wall of reaction prevention film

INVENTOR: LEE, B T; LEE, B

PATENT-ASSIGNEE: SAMSUNG ELECTRONICS CO LTD[SMSU]

PRIORITY-DATA: 1997KR-0066534 (December 6, 1997)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 11265989 A	September 28, 1999	N/A	009	H01L 027/108
KR 280206 B	March 2, 2001	N/A	000	H01L 027/04
US 6084765 A	July 4, 2000	N/A	000	H01G 004/06
KR 99047955 A	July 5, 1999	N/A	000	H01L 027/04
TW 383471 A	March 1, 2000	N/A	000	H01L 021/8242
US 6261849 B1	July 17, 2001	N/A	000	H01L 021/8242

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 11265989A	N/A	1998JP-0347559	December 7, 1998
KR 280206B	N/A	1997KR-0066534	December 6, 1997
KR 280206B	Previous Publ.	KR 99047955	N/A
US 6084765A	N/A	1998US-0204596	December 3, 1998
KR 99047955A	N/A	1997KR-0066534	December 6, 1997
TW 383471A	N/A	1998TW-0116600	October 7, 1998
US 6261849B1	Div ex	1998US-0204596	December 3, 1998
US 6261849B1	N/A	2000US-0576452	May 23, 2000
US 6261849B1	Div ex	US 6084765	N/A

INT-CL (IPC): H01G004/06, H01G007/06, H01L021/822, H01L021/8242,  
H01L027/04, H01L027/108

ABSTRACTED-PUB-NO: JP 11265989A

BASIC-ABSTRACT:

NOVELTY - Insulating films (110,112) formed on the plug, are etched at  
different ratios and a reaction prevention film (106) and capacitor lower

electrode (108) are formed in etched portions. An undercut profile is formed by etching double sided wall of reaction prevention film. Reaction prevention film spacers are formed at undercut profile on double sided wall of film (106).

DETAILED DESCRIPTION - Selective portion of an insulation film (102) formed on a semiconductor substrate (100), is etched to form hole (103) into which contact plug (104) is inserted. The lower electrode has Pt, Ru, RuO<sub>2</sub>, Ir, IrO<sub>2</sub> and a perovskite structure.

An INDEPENDENT CLAIM is also included for high dielectric capacitor.

USE - For manufacturing high dielectric capacitor with reaction prevention film spacer.

ADVANTAGE - Abnormal etching generated can be prevented. Exhaustion of capacitor lower electrode can be minimized. Enables raising oxidation resistance of reaction prevention film spacer and minimizing oxidation of oxidation reaction prevention film.

DESCRIPTION OF DRAWING(S) - The figure shows sectional view of manufacturing method of high dielectric capacitor. (100) Semiconductor substrate; (102) Insulation film; (103) Hole; (104) Plug; (106) Reaction prevention film; (108) Capacitor lower electrode; (110,112) Insulating films.

ABSTRACTED-PUB-NO: US 6084765A

EQUIVALENT-ABSTRACTS:

NOVELTY - Insulating films (110,112) formed on the plug, are etched at different ratios and a reaction prevention film (106) and capacitor lower electrode (108) are formed in etched portions. An undercut profile is formed by etching double sided wall of reaction prevention film. Reaction prevention film spacers are formed at undercut profile on double sided wall of film (106).

DETAILED DESCRIPTION - Selective portion of an insulation film (102) formed on a semiconductor substrate (100), is etched to form hole (103) into which contact plug (104) is inserted. The lower electrode has Pt, Ru, RuO<sub>2</sub>, Ir, IrO<sub>2</sub> and a perovskite structure.

An INDEPENDENT CLAIM is also included for high dielectric capacitor.

USE - For manufacturing high dielectric capacitor with reaction prevention film spacer.

ADVANTAGE - Abnormal etching generated can be prevented. Exhaustion of capacitor lower electrode can be minimized. Enables raising oxidation resistance of reaction prevention film spacer and minimizing oxidation of oxidation reaction prevention film.

DESCRIPTION OF DRAWING(S) - The figure shows sectional view of manufacturing method of high dielectric capacitor. (100) Semiconductor substrate; (102) Insulation film; (103) Hole; (104) Plug; (106) Reaction prevention film; (108)

Capacitor lower electrode; (110,112) Insulating films.

US 6261849B

NOVELTY - Insulating films (110,112) formed on the plug, are etched at different ratios and a reaction prevention film (106) and capacitor lower electrode (108) are formed in etched portions. An undercut profile is formed by etching double sided wall of reaction prevention film. Reaction prevention film spacers are formed at undercut profile on double sided wall of film (106).

DETAILED DESCRIPTION - Selective portion of an insulation film (102) formed on a semiconductor substrate (100), is etched to form hole (103) into which contact plug (104) is inserted. The lower electrode has Pt, Ru, RuO<sub>2</sub>, Ir, IrO<sub>2</sub> and a perovskite structure.

An INDEPENDENT CLAIM is also included for high dielectric capacitor.

USE - For manufacturing high dielectric capacitor with reaction prevention film spacer.

ADVANTAGE - Abnormal etching generated can be prevented. Exhaustion of capacitor lower electrode can be minimized. Enables raising oxidation resistance of reaction prevention film spacer and minimizing oxidation of oxidation reaction prevention film.

DESCRIPTION OF DRAWING(S) - The figure shows sectional view of manufacturing method of high dielectric capacitor. (100) Semiconductor substrate; (102) Insulation film; (103) Hole; (104) Plug; (106) Reaction prevention film; (108) Capacitor lower electrode; (110,112) Insulating films.

CHOSEN-DRAWING: Dwg.11/11

TITLE-TERMS: HIGH DIELECTRIC CAPACITOR MANUFACTURE METHOD FORMING  
REACT PREVENT  
FILM SPACE DOUBLE SIDE WALL REACT PREVENT FILM

DERWENT-CLASS: L03 U11 U12

CPI-CODES: L04-C14A;

EPI-CODES: U11-C05G1B; U12-C02;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1999-176875

Non-CPI Secondary Accession Numbers: N1999-447835

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-265989

(43)公開日 平成11年(1999)9月28日

(51)Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 27/108  
21/8242  
27/04  
21/822

H 0 1 L 27/10 6 2 1 Z  
27/04 C  
27/10 6 5 1

審査請求 未請求 請求項の数22 O L (全 9 頁)

(21)出願番号 特願平10-347559

(22)出願日 平成10年(1998)12月7日

(31)優先権主張番号 1 9 9 7 6 6 5 3 4

(32)優先日 1997年12月6日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 李 秉澤

大韓民国ソウル市冠岳區奉天洞1000現代冠

岳エービーティ101-1105

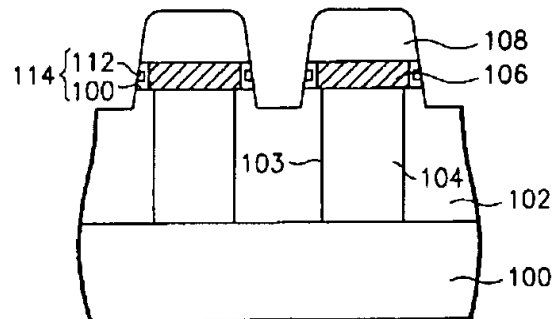
(74)代理人 弁理士 志賀 正武 (外1名)

(54)【発明の名称】 高誘電体キャパシター及びその製造方法

(57)【要約】 (修正有)

【課題】 高誘電体膜形成及び後続熱処理する場合に反応防止膜の酸化を最小化させる。

【解決手段】 半導体基板100上に形成された層間絶縁膜102を空け、半導体基板100と電氣的に接続されるようにペリドコンタクトプラグ104を形成し、埋込みコンタクトプラグ104と電氣的に接続されるように反応防止膜106及びキャパシタ下部電極108を順次形成する。次に、反応防止膜114の両側壁をエッチングしてキャパシタ下部電極108に対してアンダーカットプロファイルを持つように形成する。そして、アンダーカットプロファイルを含み、半導体基板100上にエッチング選択比が異なる第1絶縁膜110及び第2絶縁膜112を形成し、これをエッチバックして反応防止膜106の両側壁に反応防止膜スペーサー114を形成するが、第1絶縁膜110を第2絶縁膜112のエッチング停止層として使う。



## 【特許請求の範囲】

【請求項1】 半導体基板上に層間絶縁膜を形成する段階と、  
前記層間絶縁膜を前記半導体基板の一部が露出されるようにエッチングしてペリドコンタクトホールを形成する段階と、  
前記ペリドコンタクトホールを導電膜で満たし、ペリドコンタクトプラグを形成する段階と、  
前記ペリドコンタクトプラグ上に前記ペリドコンタクトプラグと電気的に接続されるように第1導電膜及び第2導電膜を順次形成する段階と、  
前記第1導電膜及び前記第2導電膜をエッチングして各々反応防止膜及びキャパシター下部電極を形成する段階と、  
前記キャパシター下部電極に対してアンダーカットプロファイルを持つように前記反応防止膜の両側壁をエッチングする段階と、  
前記アンダーカットプロファイルを持つ反応防止膜の両側壁を含む半導体基板上に、薄い第1絶縁膜及び前記第1絶縁膜より厚い第2絶縁膜を次第に形成する段階及び前記第1絶縁膜及び前記第2絶縁膜を前記キャパシター下部電極の上部及び両側表面が露出されるようにエッチバックして前記反応防止膜の両側壁に反応防止膜スペーサーを形成する段階を含むキャパシターの製造方法。  
【請求項2】 前記キャパシター下部電極物質は、Pt、Ru、RuO<sub>2</sub>、Ir、IrO<sub>2</sub>、そして、ペロブスカイト構造を持つ導電物のいずれかである請求項1に記載のキャパシターの製造方法。  
【請求項3】 前記第1絶縁膜物質は、低温蒸着で、かつ、ステップカバレッジがよい物質であるAl<sub>2</sub>O<sub>3</sub>及びTa<sub>2</sub>O<sub>5</sub>のいずれかである請求項1に記載のキャパシターの製造方法。  
【請求項4】 前記第1絶縁膜の厚さは、10～500オングストロームの範囲である請求項1に記載のキャパシターの製造方法。  
【請求項5】 前記第2絶縁膜物質は、低温絶縁膜と高温絶縁膜中のいずれかである請求項1に記載のキャパシターの製造方法。  
【請求項6】 前記反応防止膜スペーサー形成段階は、前記第1絶縁膜をエッチング停止層にして、前記アンダーカットプロファイル部位だけに第2絶縁膜が残るように前記第2絶縁膜をエッチバックする段階と、  
前記キャパシター下部電極の上部及び両側表面が露出されるように、前記第1絶縁膜をエッチバックして前記アンダーカットプロファイル部位の反応防止膜スペーサーを完成する段階を含む請求項1に記載のキャパシターの製造方法。  
【請求項7】 前記キャパシターの製造方法は、前記キャパシター下部電極を含み、前記半導体基板上に高誘電体膜を形成する段階と、

前記高誘電体膜上にキャパシター上部電極を形成する段階とを含む請求項1に記載のキャパシターの製造方法。  
【請求項8】 前記高誘電体膜物質は、BST系列、PLZT系列、そして、PLZT系列等、ペロブスカイト構造を持つ酸化誘電体のうちのいずれかである請求項7に記載のキャパシターの製造方法。  
【請求項9】 キャパシターと電気的に接続されるノード(node)を持つ半導体基板を準備する段階と、  
前記半導体基板のノード上に反応防止膜と前記反応防止膜上のキャパシター下部電極とを形成する段階と、  
前記反応防止膜の露出部位である両側壁の一部をエッチングして前記キャパシター下部電極に対してアンダーカットプロファイルを持つように形成する段階と、  
前記反応防止膜のアンダーカットプロファイル部位が満たすように反応防止膜スペーサーを多層物質層で形成する段階を含むキャパシターの製造方法。  
【請求項10】 前記キャパシター下部電極物質は、Pt、Ru、RuO<sub>2</sub>、Ir、IrO<sub>2</sub>、そして、ペロブスカイト構造を持つ酸化物のうちのいずれかである請求項9に記載のキャパシター製造方法。  
【請求項11】 前記多層物質層は、金属物質及び絶縁物質のうち、いずれかを含む請求項9に記載のキャパシターの製造方法。  
【請求項12】 前記反応防止膜スペーサー形成段階は、前記アンダーカットプロファイルを持つ反応防止膜を含み、半導体基板上に第1絶縁膜を薄く形成する段階と、  
前記第1絶縁膜上に前記第1絶縁膜より相対的に厚い第2絶縁膜を形成する段階と、  
前記第1絶縁膜をエッチング停止層にして前記アンダーカットプロファイル部位だけに前記第2絶縁膜が残るように前記第2絶縁膜をエッチバックする段階と、  
前記キャパシター下部電極の上部及び両側表面が露出されるように前記第1絶縁膜をエッチバックして前記アンダーカットプロファイル部位の反応防止膜スペーサーを完成する段階を含み、前記第1絶縁膜と前記第2絶縁膜とは互いにエッチング選択比が異なることを特徴とする請求項9に記載のキャパシターの製造方法。  
【請求項13】 前記第1絶縁膜物質は、低温蒸着で、かつ、ステップカバレッジがよい物質であるAl<sub>2</sub>O<sub>3</sub>及びTa<sub>2</sub>O<sub>5</sub>中のいずれかである請求項12に記載のキャパシターの製造方法。  
【請求項14】 前記第1絶縁膜の厚さは、10～500オングストロームの範囲である請求項12に記載のキャパシターの製造方法。  
【請求項15】 前記第2絶縁膜物質は、低温絶縁膜と高温絶縁膜のうち、いずれかである請求項12に記載のキャパシターの製造方法。  
【請求項16】 前記高誘電体キャパシターの製造方法は、前記キャパシター下部電極を含む半導体基板上に高

誘電体膜を形成する段階と、前記項誘電体膜上にキャパシター上部電極を形成する段階とをさらに含む請求項9に記載のキャパシターの製造方法。

【請求項17】 前記高誘電体膜物質は、BST系列、PZT系列、そして、PLZT系列の物質など、ペロブスカイト構造を持つ酸化物誘電体物質のうち、いずれかである請求項16に記載のキャパシターの製造方法。

【請求項18】 ノードを持つ半導体基板と、前記半導体基板のノードと電気的に接続されるキャパシター下部電極と、前記半導体基板のノードと前記キャパシター下部電極の間に形成され、前記キャパシター下部電極に対してアンダーカットプロファイルを持つように形成された電気的に導電性を持つ反応防止膜と、前記アンダーカットプロファイル部位を満たすように形成され、多層物質層で形成された反応防止膜スペーサーを含むキャパシター。

【請求項19】 前記多層物質層は、金属物質を含むことを特徴とする請求項18に記載のキャパシター。

【請求項20】 前記多層物質層は、互いに別のエッチング選択比を持ち、前記アンダーカットプロファイル部位に順次形成された第1絶縁膜及び第2絶縁膜を含む請求項18に記載のキャパシター。

【請求項21】 前記第1絶縁膜物質は、低温蒸着でき、ステップカバレッジがよい物質である $Al_2O_3$ 及び $Ta_2O_5$ のうち、いずれかである請求項20に記載のキャパシター。

【請求項22】 前記第2絶縁膜物質は、低温絶縁膜と高温絶縁膜のうち、いずれかである請求項20に記載のキャパシター。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高誘電体キャパシター（high dielectric capacitor）及びその製造方法に関するものであり、より詳しくは反応防止膜（reaction barrier layer）の酸化を最小化させるための反応防止膜スペーサー（spacer）を持つ高誘電体キャパシター及びその製造方法に関するものである。

【0002】

【従来の技術】半導体メモリ装置（memory device）が高集積化されるにより、キャパシターで使われる面積がますます減少され、既存の酸化膜、窒化膜、そして、 $Ta_2O_5$ のようなキャパシター誘電体膜としては素子動作に必要なキャパシタンス（capacitance）を確保し難かった。

【0003】従って、キャパシタンスを増加させるためにキャパシター誘電体膜（capacitor dielectric layer）の厚さを減少させる薄膜化作業と共にキャパシター下部電極であるストレージノ

ード（storage node）をシリンダー（cylinder）、ピン（fin）、そして、HSG（Hemi-Spherical Grain）のような3次元構造で形成し、キャパシターの有効面積を増加させる研究が進行されている。

【0004】しかし、1GビットDRAM以上のメモリ素子では、3次元化されたストレージノードを形成しても素子動作に必要なキャパシタンスを得ることが難しくなっている。

10 【0005】このような問題を解決するために、キャパシター誘電体膜をBST、PZT、そして、PLZTのような高誘電率を持つ薄膜に代替する研究が活発に進行している。

【0006】高誘電体膜を使う場合、既存の誘電体膜に比べて数十から数百倍の誘電率を持つので、ストレージノードをシリンダー、ピン、そしてHSGのような複雑な構造を使わなくても素子動作に必要なキャパシタンスが得られるようになる。

【0007】しかしながら、BST、PZT、そしてPLZTのような物質は、既存の電極物質であるポリシリコン膜を電極として用いることが難しいので、新しい電極物質と電極構造が要求される。

【0008】高誘電体膜を半導体素子に適用するための電極物質としてPt、Ir、Ru、 $RuO_2$ 、そして $IrO_2$ を使う研究が活発に進行されている。

【0009】このような電極物質は、シリコン（silicon）との反応性が大きいので、シリコンから隔離（isolation）させるための反応防止膜が必要である。

30 【0010】しかし、反応防止膜はBST等の高誘電体膜蒸着工程と後続熱処理工程で酸化され、キャパシター下部電極の電気的短絡（short）が発生する。

【0011】それで、反応防止膜の酸化を防止することが、現在高誘電体膜をキャパシター誘電体膜として用いるキャパシターの開発が一番重要な課題になっている。

【0012】図1は、従来の高誘電体キャパシターの構造を示す断面図である。

40 【0013】図1を参照すると、従来の反応防止膜6の酸化を防止するための高誘電体キャパシターの構造は、半導体基板1上に形成された層間絶縁膜（interlayer dielectric）2と、層間絶縁膜2を空け、半導体基板1と電気的に接続されるように形成されたポリシリコン膜で形成された埋め込みコンタクトプラグ（buried contact plug）4を含む。

【0014】そして、埋め込みコンタクトプラグ4上に形成された反応防止膜6と、反応防止膜6上に白金で形成されたストレージノード電極であるキャパシター下部電極8を含む。

50 【0015】この時、反応防止膜6は、キャパシター下

部電極8の下部にアンダーカットプロファイル(undercut profile)を持つように形成され、その両側壁には、絶縁膜スペーサー9が形成されている。

【0016】高誘電体キャパシター構造あるいはキャパシター下部電極8を含み、層間絶縁膜2上に形成されたキャパシター誘電体膜14及びキャパシター誘電体膜14上に形成されたキャパシター上部電極16を含む。

【0017】この時、キャパシター上部電極16も白金で形成されている。

【0018】上述したような、従来の反応防止膜6の酸化を防止するための高誘電体キャパシター製造方法を以下に示す。

【0019】図2から図3までは、従来の反応防止膜6の酸化を防止するための高誘電体キャパシターの製造方法を示す断面図であり、図4は、図3をより实际的に示した図である。

【0020】図2及び図3において、図1の構成要素と同一の機能を持つ構成要素に対しては、同一の符号を付す。

【0021】図2を参照すると、半導体基板1上に層間絶縁膜2を形成し、層間絶縁膜2をエッチングして埋め込みコンタクトホール(buried contact hole)(図示せず)を形成する。そして、埋め込みコンタクトホールを、ポリシリコン膜で充填した埋め込みコンタクトプラグ4を形成する。

【0022】次に、埋め込みコンタクトプラグ4上に、電極物質とポリシリコンとの反応を抑制するための反応防止膜6とキャパシター下部電極8とを順次形成した後、反応防止膜6がキャパシター下部電極8に対してアンダーカットプロファイルを持つように反応防止膜6をエッチングする。

【0023】そして、キャパシター下部電極8を含む半導体基板1全面に、反応防止膜スペーサー形成用絶縁膜10を形成する。

【0024】絶縁膜10としては酸化膜が好適な物質であり、アンダーカット部位を満たすようにステップカバレッジ(step coverage)がよい物質が良い。

【0025】このように、耐酸化性が良く、かつ、ステップカバレッジが良い物質としては、窒化膜SiN及び高密度のSiO<sub>2</sub>等がある。

【0026】しかし、これら物質に対してよいステップカバレッジを得るためには、高温で蒸着しなければならないが、高温では少量の酸素の存在によっても、反応防止膜6が酸化されるという問題点が発生する。

【0027】一方、低温で蒸着可能なプラズマ方式の窒化膜SiNや、酸化膜SiO<sub>2</sub>の場合は、ステップカバレッジが不良で、アンダーカット部位を充填しない。

【0028】低温でもアンダーカットを充填することが

できる物質としては、SOG(Spin On Glass)ないしFOX(Flowable OXide)等がある。

【0029】しかし、このような物質は、図3ないし図4に示されたように、反応防止膜スペーサー10aを形成するための絶縁膜10のエッチングにおいて、キャパシター下部電極物質である白金と同時にエッチングされながら、いわゆる異常エッチング現象が発生する。従って、層間絶縁膜2上に形成された絶縁膜10が、不規則な"柱状(pillar-shaped)模様(符号11)"を有するようになる。

【0030】このような場合に、反応防止膜スペーサー10aの厚さの変化が大きく、耐酸化性の再現性がなくなり、エッチングした後に洗浄する時、キャパシター下部電極8上に残留する酸化膜を除去する工程で、柱状模様の絶縁膜11が離れてパーティクルソース(particle source)になるという問題点が発生する。

【0031】図5ないし図6は、従来の他の実施例による高誘電体キャパシターの製造方法を順次示す断面図である。

【0032】図5ないし図6において、図2ないし図3に図示された構成要素と同一な機能を持つ構成要素に対しては同一の符号を併記し、その説明は省略する。

【0033】アンダーカット部位を満たすことができる絶縁膜として、低温で蒸着でき、ステップカバレッジがよく、耐酸化性がよい物質CVD(Chemical Vapor Deposition)方式で蒸着されるAl<sub>2</sub>O<sub>3</sub>がある。

【0034】しかし、Al<sub>2</sub>O<sub>3</sub>は白金キャパシター下部電極8とのエッチング選択比(selectivity)がよくないので、図5に示されたように、Al<sub>2</sub>O<sub>3</sub>膜12を蒸着した後、エッチバック(etch back)を遂行しながら、エッチバック工程でキャパシター下部電極8が同時にエッチングされる。こうして、図6に示されたように、キャパシター下部電極8の厚さは符号8aのように減少し、反応防止膜6だけでなく、キャパシター下部電極8の両側一部にAl<sub>2</sub>O<sub>3</sub>スペーサー12aが形成されるので、キャパシター下部電極8の露出部位が減少されるという問題点が発生する。

【0035】

【発明が解決しようとする課題】本発明は、上述した諸般の問題点を解決するために提案されたもので、反応防止膜の両側壁に選択的にスペーサーを形成し、反応防止膜の酸化を最小化することができる高誘電体キャパシター及びその製造方法を提供することにその目的がある。

【0036】本発明の他の目的は、反応防止膜スペーサー形成する時、異常エッチング現象を防止し、白金電極の消耗を最小化することができる高誘電体キャパシター及びその製造方法を提供することである。

【0037】

【課題を解決するための手段】（構成）上述した目的を達成するため、本発明による高誘電体キャパシターの製造方法は、半導体基板上に層間絶縁膜を形成する段階と、層間絶縁膜を半導体基板の一部が露出されるようにエッチングして埋め込み（ベリド）コンタクトホールを形成する段階と、埋め込み（ベリド）コンタクトホールを導電膜で満たし、埋め込み（ベリド）コンタクトプラグを形成する段階と、埋め込み（ベリド）コンタクトプラグ上に埋め込み（ベリド）コンタクトプラグと電気的に接続されるように第1導電膜と第2導電膜とを順次形成する段階と、第1導電膜及び第2導電膜をエッチングして各々反応防止膜及びキャパシター下部電極を形成する段階と、キャパシター下部電極に対してアンダーカットプロファイルを持つように反応防止膜の両側壁をエッチングする段階と、アンダーカットプロファイルを持つ反応防止膜の両側壁を含んで、半導体基板上に薄い第1絶縁膜及び第1絶縁膜より相対的に厚い第2絶縁膜を次第に形成する段階及び第1絶縁膜及び第2絶縁膜をキャパシター下部電極の上部及び両側表面が露出されるようにエッチバックして反応防止膜の両側壁に反応防止膜スペーサーを形成する段階とを含む。

【0038】この方法の好ましい実施の形態において、キャパシター下部電極物質は、Pt、Ru、RuO<sub>2</sub>、Ir、IrO<sub>2</sub>、そして、ペロブスカイト構造を持つ酸化膜のいずれかである。

【0039】この方法の好ましい実施の形態において、第1絶縁膜物質は、低温蒸着できるし、ステップカバレッジがよい物質であるAl<sub>2</sub>O<sub>3</sub>及びTa<sub>2</sub>O<sub>5</sub>中、いずれかである。

【0040】この方法の好ましい実施の形態において、第1絶縁膜の厚さは、10〜500オングストロームの範囲を持つ。

【0041】この方法の好ましい実施の形態において、第2絶縁膜物質は、低温絶縁膜、又は高温絶縁膜中のいずれかである。

【0042】この方法の好ましい実施の形態において、反応防止膜スペーサー形成段階は、第1絶縁膜をエッチング停止層にして、アンダーカットプロファイル部位だけに第2絶縁膜が残るように、第2絶縁膜をエッチバックする段階と、キャパシター下部電極の上部及び両側表面が露出されるように、第1絶縁膜をエッチバックしてアンダーカットプロファイル部位の反応防止膜スペーサーを完成する段階を含む。

【0043】この方法の好ましい実施の形態において、キャパシターの製造方法は、キャパシター下部電極を含み、半導体基板上に高誘電体膜を形成する段階及び高誘電体膜上にキャパシター上部電極を形成する段階を含む。

【0044】この方法の好ましい実施の形態において、

高誘電体膜物質は、BST系列、PZT系列、そして、PLZT系列の物質等、ペロブスカイト構造を持つ酸化物誘電体中のいずれかである。

【0045】上述した目的を達成するための本発明によると、高誘電体キャパシターの製造方法は、キャパシターと電気的に接続されるノード（node）を持つ半導体基板を準備する段階と、半導体基板ノード上に反応防止膜上にキャパシター下部電極を形成する段階と、反応防止膜の露出部位である両側壁の一部をエッチングしてキャパシター下部電極に対してアンダーカットプロファイルを持つように形成する段階と、反応防止膜のアンダーカットプロファイル部位が満たすように反応防止膜スペーサーを多層物質層で形成する段階を含む。

【0046】この方法の好ましい実施の形態において、多層物質層は、金属物質及び絶縁物質のうちのいずれかを含む。

【0047】この方法の好ましい実施の形態において、反応防止膜スペーサー形成段階は、アンダーカットプロファイルを持つ反応防止膜を含み、半導体基板上に第1絶縁膜を薄く形成する段階と、第1絶縁膜上に第1絶縁膜より厚い第2絶縁膜を形成する段階と、第1絶縁膜をエッチング停止層にしてアンダーカットプロファイル部位だけに第2絶縁膜が残るように第2絶縁膜をエッチバックする段階と、キャパシター下部電極の上部及び両側表面が露出されるように第1絶縁膜をエッチバックしてアンダーカットプロファイル部位の反応防止膜スペーサーを完成する段階を含み、第1絶縁膜と第2絶縁膜は互いにエッチング選択比が異なる。

【0048】この方法の好ましい実施の形態において、第1絶縁膜物質は、低温蒸着できるし、ステップカバレッジがよい物質であるAl<sub>2</sub>O<sub>3</sub>及びTa<sub>2</sub>O<sub>5</sub>中いずれかである。

【0049】この方法の好ましい実施の形態において、第2絶縁膜物質は、低温絶縁膜と高温絶縁膜のうちのいずれかである。

【0050】上述した目的を達成するための本発明によると、高誘電体キャパシターは、ノードを持つ半導体基板と、半導体基板のノードと電気的に接続されるキャパシター下部電極と、半導体基板のノードとキャパシター下部電極の間に形成され、キャパシター下部電極に対してアンダーカットプロファイルを持つように形成された電気的に導電性を持つ反応防止膜と、アンダーカットプロファイル部位を満たすように形成され、多層物質層で形成された反応防止膜スペーサーを含む。

【0051】この方法の好ましい実施の形態において、多層物質層は、金属物質を含む。

【0052】この方法の好ましい実施の形態において、多層物質層は、互いにエッチング選択比が異なり、アンダーカットプロファイル部位に順次形成された第1絶縁膜と第2絶縁膜とを含む。



【0053】この方法の好ましい実施の形態において、第1絶縁膜物質は、低温蒸着できるし、ステップカバレッジがよい物質である $Al_2O_3$ 及び $Ta_2O_5$ のうちのいずれかである。

【0054】この方法の好ましい実施の形態において、第2絶縁膜物質は、低温絶縁膜と高温絶縁膜のうちのいずれかである。

【0055】(作用)本発明による高誘電体キャパシター及びその製造方法は、反応防止膜の酸化を最小化させるスペーサーを形成するにおいて、異常エッチング現象を防止し、キャパシター下部電極の消耗を最小化させる。

【0056】

【発明の実施の形態】図7を参照すると、本発明の実施の形態として示した新規な高誘電体キャパシター及びその製造方法は、半導体基板100上に形成された層間絶縁膜102を明け、半導体基板100と電気的に接続されるように埋め込み(ベリド)コンタクトプラグ104を形成し、埋め込み(ベリド)コンタクトプラグ104と電気的に接続されるように反応防止膜106及びキャパシター下部電極108を順次形成する。次に、反応防止膜106の両側壁をエッチングして、キャパシター下部電極108に対してアンダーカットプロファイルを持つように形成する。そして、アンダーカットプロファイルを含み、半導体基板100上にエッチング選択比が異なる第1絶縁膜110と第2絶縁膜112とを順次形成し、これをエッチバックして反応防止膜106の両側壁に反応防止膜スペーサー114を形成する。第1絶縁膜110を、第2絶縁膜112のエッチング停止層として用いる。このような半導体装置及びその製造方法により、反応防止膜スペーサー114を低温絶縁膜として形成する時、発生される異常エッチングを防止することができ、キャパシター下部電極108の消耗を最小化させることができ、高温絶縁の形成をできるようにして反応防止膜スペーサー114の耐酸化性を向上させることができる。従って、高誘電体膜116形成及び後続熱処理する時、反応防止膜106の酸化を最小化させることができる。

【0057】以下、図7及び図8から図11までを参照して本発明の実施の形態について詳細に説明する。

【0058】図7は、本発明の実施の形態として示した高誘電体キャパシターの構造を示す断面図である。

【0059】図7を参照すると、本発明の実施の形態として示した高誘電体キャパシターは、半導体基板100と、層間絶縁膜102と埋め込み(ベリド)コンタクトプラグ104と反応防止膜106と、キャパシター下部電極108と、反応防止膜スペーサー114とを含む。

【0060】そして、高誘電体キャパシターは高誘電体膜116及びキャパシター上部電極118を含む。

【0061】層間絶縁膜102は、半導体基板100上

に形成されている。

【0062】キャパシターと連結されるノード(node)である埋め込み(ベリド)コンタクトプラグ104は、層間絶縁膜102を明け、半導体基板100と電気的に接続されるように形成されている。

【0063】埋め込み(ベリド)コンタクトプラグ104は、一般的にポリシリコン膜で形成される。

【0064】キャパシター下部電極108は、埋め込み(ベリド)コンタクトプラグ104と電気的に接続されるように形成されているし、埋め込み(ベリド)コンタクトプラグ104とキャパシター下部電極108の間にこの二つの間の反応を防止するための反応防止膜106が形成されている。

【0065】キャパシター下部電極108は、主に白金(プラチニウム: Pt)物質で形成され、この物質の他に、Ru、 $RuO_2$ 、Ir、 $IrO_2$ 、そしてペロブスカイト(perovskite)構造を持つ導電物中、いずれかで形成される。

【0066】反応防止膜106は、キャパシター下部電極108に対してリセスされた(recessed)構造を持つように、すなわち、アンダーカットプロファイルを持つように形成され、反応防止膜スペーサー114は、アンダーカットプロファイル部位に選択的に形成されている。

【0067】反応防止膜スペーサー114は、金属物質あるいは絶縁物質で形成される。

【0068】絶縁物質を使う時、エッチング選択比が異なる多層絶縁膜110、112を使う。

【0069】多層絶縁膜110、112は、低温蒸着できるし、ステップカバレッジがよい物質である $Al_2O_3$ 及び $Ta_2O_5$ 中、いずれかと、低温絶縁膜あるいは高温絶縁膜112を含む。

【0070】低温絶縁膜としては、SOG及びFOX等があり、高温絶縁膜としては、SiN及び $SiO_2$ 等がある。

【0071】高誘電体膜116は、反応防止膜スペーサー114を含み、半導体基板100全面に形成されているし、キャパシター上部電極118は、高誘電体膜116上に形成されている。

【0072】高誘電体膜116は、BST系列あるいはPZT系列あるいはPLZT系列のチタン酸塩(titanate)物質等、ペロブスカイト構造を持つ酸化物誘電体物質で形成される。

【0073】キャパシター上部電極118は、キャパシター下部電極108と同じような物質で形成される。

【0074】上述したような高誘電体キャパシターの製造方法は次のようである。

【0075】まず、図8を参照すると、半導体基板100上に層間絶縁膜102を形成し、層間絶縁膜102をエッチングして埋め込み(ベリド)コンタクトホール10

3を形成する。

【0076】埋め込み（ベリド）コンタクトホール103をポリシリコン膜等の導電膜で満たして、埋め込み（ベリド）コンタクトプラグ104を形成する。

【0077】次に、埋め込み（ベリド）コンタクトプラグ104と電氣的に接続されるように反応防止膜106及びキャパシター下部電極108を順次形成する。

【0078】反応防止膜100は、埋め込み（ベリド）コンタクトプラグ104とキャパシター下部電極108間の反応を防止する機能を持つ。

【0079】キャパシター下部電極108物質は、主に白金（プラチニウム：Pt）を使い、この物質以外にRu、RuO<sub>2</sub>、Ir、IrO<sub>2</sub>、そしてペロブスカイト構造を持つ酸化物中、いずれかを使う。

【0080】続いて、反応防止膜106の両側壁を選択的にエッチングして、符号107に示したように、キャパシター下部電極108に対してアンダーカットプロファイルを持つように形成する。

【0081】アンダーカットプロファイルを持つ反応防止膜106の両側壁を含み、半導体基板100上に反応防止膜スペーサー形成用第1絶縁膜110としてステップカバレッジがよく、耐酸化性もよい低温蒸着できるし、ステップカバレッジがよい物質であるAl<sub>2</sub>O<sub>3</sub>及びTa<sub>2</sub>O<sub>5</sub>中、いずれかを薄く形成する。

【0082】Al<sub>2</sub>O<sub>3</sub>膜110厚さは約10オングストローム～500オングストロームの範囲を持つようにする。

【0083】このように、第1絶縁膜110を薄く形成することであり、後続のエッチバック工程する時、プラチニウム膜であるキャパシター下部電極108が過エッチングされることを防止するようになる。

【0084】9において、薄い第1絶縁膜110上に反応防止膜スペーサー形成用第2絶縁膜112を形成する。

【0085】第2絶縁膜112は、反応防止膜スペーサー114の反応防止膜106の酸化抑制効果を増加させるために形成することであり、第1絶縁膜110と互いにエッチング選択比の異なる物質で形成する。

【0086】第2絶縁膜112は、SOGあるいはFOX膜等のようにステップカバレッジがよい低温絶縁膜を使う。低温絶縁膜エッチバック工程する時、白金（プラチニウム）電極108が第1絶縁膜110により隠されているので、従来のような異常エッチング現象は発生されない。

【0087】そして、反応防止膜106が第1絶縁膜110により隠されているので、第2絶縁膜112として高温絶縁膜がSiNあるいはSiO<sub>2</sub>膜等の形成もできる。

【0088】高温絶縁膜は、耐酸化性及びステップカバレッジが優秀な特性を持つ。

【0089】第2絶縁膜112は、アンダーカット部位を満たすことに適当な程度の厚さで形成され、ここでは約4000オングストロームの厚さで形成する。

【0090】図10を参照すると、第2絶縁膜112を1次エッチバック工程でエッチングして、アンダーカット部位だけに第2絶縁膜112を残させる。

【0091】第2絶縁膜112エッチングする時、第1絶縁膜110をエッチング停止層（etch stopper）で使う。

10 【0092】最後に、第1絶縁膜110をキャパシター下部電極108の上部及び両側表面が露出されるように2次エッチバック工程でエッチングすると、図6dに図示されたように、反応防止膜スペーサー114が形成される。

【0093】続けて、反応防止膜スペーサー114を含み、半導体基板100上に高誘電体膜116及びキャパシター上部電極118を形成すると、図5に図示されたように、高誘電体キャパシターが完成される。

20 【0094】高誘電体膜116は、BST系列あるいはPZT系列あるいはPLZT系列物質と同じチタン酸塩物質等、ペロブスカイト構造を持つ酸化物誘電体物質で形成する。

【0095】キャパシター上部電極118は、キャパシター下部電極108と同じように、主にプラチニウムPtを使うし、この物質外にRu、RuO<sub>2</sub>、Ir、IrO<sub>2</sub>、そして、ペロブスカイト構造を持つ酸化物中、いずれかを使う。

【0096】

30 【発明の効果】本発明は反応防止膜スペーサーを低温絶縁膜で形成する時、発生される異常エッチングを防止することができるし、キャパシター下部電極の消耗を最小化することができるし、高温絶縁膜形成をできるようにして、反応防止膜スペーサーの耐酸化性を向上させることができる。従って、高誘電体膜形成及び後続熱処理する時、反応防止膜の酸化を最小化させることができる効果がある。

【図面の簡単な説明】

【図1】 従来の高誘電体キャパシターの構造を示す断面図である。

40 【図2】 従来の一つの実施例による高誘電体キャパシターの製造方法を示す断面図である。

【図3】 従来の一つの実施例による高誘電体キャパシターの製造方法を示す断面図である。

【図4】 図3の様子を詳細に示す図である。

【図5】 従来の高誘電体キャパシターの製造方法を示す断面図である。

【図6】 従来の高誘電体キャパシターの製造方法を示す断面図である。

50 【図7】 本発明の一実施の形態として示した高誘電体キャパシターの構造を示す断面図である。

13

14

【図8】 本発明の一実施の形態として示した高誘電体キャパシターの製造方法を示す断面図である。

【図9】 本発明の一実施の形態として示した高誘電体キャパシターの構造を示す断面図である。

【図10】 本発明の一実施の形態として示した高誘電体キャパシターの製造方法を示す断面図である。

【図11】 本発明の一実施の形態として示した高誘電体キャパシターの製造方法を示す断面図である。

【符号の説明】

1, 100: 半導体基板

2, 102: 層間絶縁膜

4, 104: ペリドコンタクトプラグ

9, 114: 反応防止膜スペーサー

10, 12: 絶縁膜

14, 116: 高誘電体膜

16, 118: キャパシター上部電極

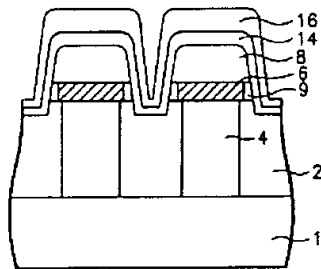
103: ペリドコンタクトホール

110: 第1絶縁膜

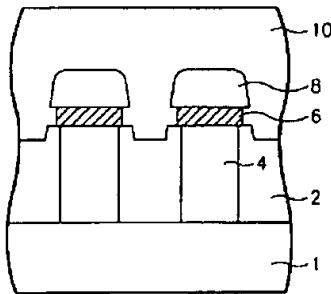
112: 第2絶縁膜

10

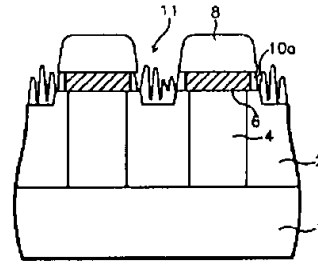
【図1】



【図2】



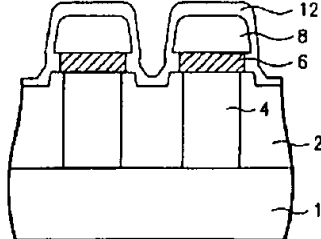
【図3】



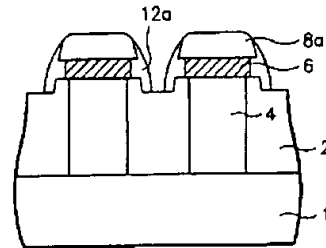
【図4】



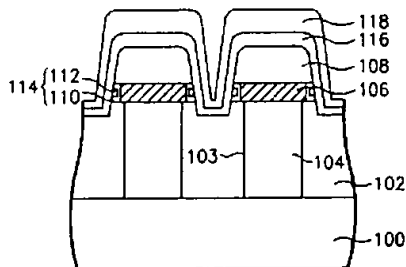
【図5】



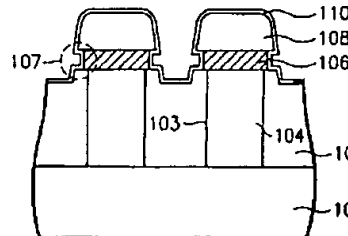
【図6】



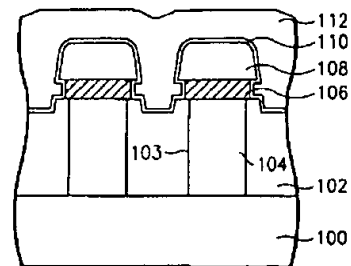
【図7】



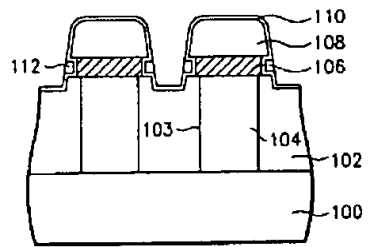
【図8】



【図9】



【図10】



【図11】

